

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-133647

(43)Date of publication of application : 09.05.2003

(51)Int.Cl.

H01S 5/323

H01S 5/227

(21)Application number : 2001-323411

(71)Applicant : NEC CORP

(22)Date of filing : 22.10.2001

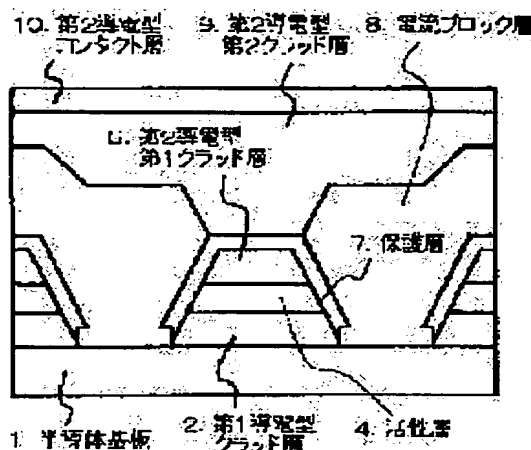
(72)Inventor : KOBAYASHI RYUJI
KOBAYASHI KENICHI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reliable semiconductor device with a high yield by suppressing oxidation of an active layer in a semiconductor device using a semiconductor layer including aluminum (Al) as an active layer, and also to provide a method of manufacturing the same.

SOLUTION: The semiconductor device comprises a stripe consisting of a clad layer 2 of a first conductivity type, an active layer 4 including Al, and a first clad layer 6 of a second conductivity type, which are stacked in a prescribed area above a semiconductor substrate 1; a current blocking layer 8 wherein the stripe is embedded; a second clad layer 9 of the second conductivity formed above the stripe and the current blocking layer 8; and a contact layer 10 of the second conductivity formed above the second clad layer of the second conductivity. In the semiconductor device, a protection layer 7 not including Al is formed between the active layer 4 and the current blocking layer 8.



LEGAL STATUS

[Date of request for examination] 22.10.2001

[Date of sending the examiner's decision of rejection] 19.01.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-02944

[Date of requesting appeal against examiner's decision of rejection] 18.02.2005

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-133647

(P2003-133647A)

(43) 公開日 平成15年5月9日 (2003.5.9)

(51) Int.Cl.⁷

H 0 1 S 5/323

5/227

識別記号

F I

H 0 1 S 5/323

5/227

テマコード* (参考)

5 F 0 7 3

審査請求 有 請求項の数17 O L (全 17 頁)

(21) 出願番号 特願2001-323411(P2001-323411)

(22) 出願日 平成13年10月22日 (2001. 10. 22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小林 隆二

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 小林 健一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

Fターム(参考) 5F073 AA22 AA45 AA51 AA74 CA14

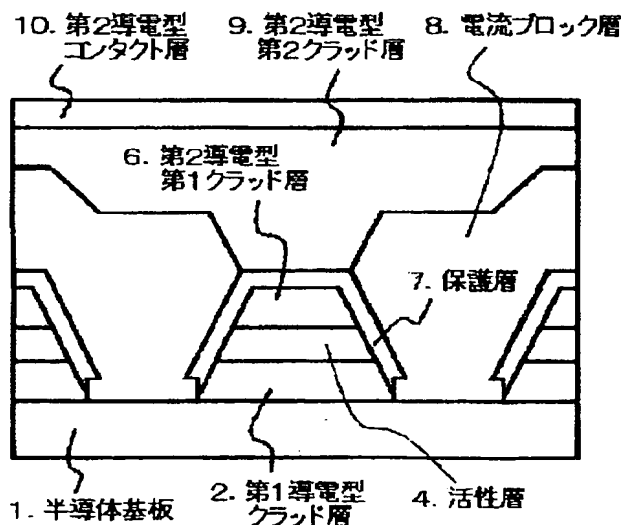
CA15 DA05 DA35 EA28

(54) 【発明の名称】 半導体素子およびその作製方法

(57) 【要約】

【課題】 アルミニウム (A1) を含む半導体層を活性層に用いた半導体素子において、活性層の酸化を抑制し、信頼性、歩留まりの高い半導体素子及びその作製方法を提供する。

【解決手段】 半導体基板1上の所定の領域に積層された第1導電型クラッド層2、A1を含む活性層4および第2導電型第1クラッド層6からなるストライプと、ストライプが埋め込まれた電流ブロック層8と、ストライプおよび電流ブロック層8の上に形成された第2導電型第2クラッド層9と、第2導電型第2クラッド層上に形成された第2導電型コンタクト層10とからなる半導体素子において、上記活性層4と上記電流ブロック層8との間にA1を含まない保護層7を有する構成である。



【特許請求の範囲】

【請求項 1】 半導体基板上の所定の領域に積層された第 1 導電型クラッド層、A1 を含む活性層および第 2 導電型第 1 クラッド層からなるストライプと、前記ストライプが埋め込まれた電流ブロック層と、前記ストライプおよび前記電流ブロック層の上に形成された第 2 導電型第 2 クラッド層と、前記第 2 導電型第 2 クラッド層上に形成された第 2 導電型コンタクト層とからなる半導体素子において、前記活性層と前記電流ブロック層との間に A1 を含まない保護層を有する半導体素子。

【請求項 2】 A1 を含まない保護層は、第 2 導電型第 1 クラッド層と同じ膜であることを特徴とする請求項 1 記載の半導体素子。

【請求項 3】 半導体基板の面方位が、(001) 面、または (001) 面から [1-10] 方向または [-110] 方向に傾いており、その傾きが 15 度以下であることを特徴とする請求項 1 または 2 に記載の半導体素子。

【請求項 4】 A1 を含まない保護層形成時の条件は、保護層の成長温度を T_g (°C) とし、保護層の成長速度を R_g ($\mu\text{m}/\text{h}$) とすると、 $(x, y) = (T_g, R_g)$ による xy 平面で示される成長温度と成長速度との関係から、

$(T_g, R_g) = (560, 0.3)$ 、 $(620, 0.3)$ 、 $(670, 2)$ 、 $(670, 3)$ 、 $(560, 3)$ の 5 点を結んで囲まれた領域内の任意の点で定まる成長温度と成長速度とであることを特徴とする請求項 1 乃至 3 のいずれか一つに記載の半導体素子。

【請求項 5】 半導体基板上のストライプ状領域に積層された第 1 導電型クラッド層、A1 を含む活性層および第 2 導電型第 1 クラッド層からなるストライプのストライプ状領域の長手方向を示すストライプ方位が [110] であるとき、

半導体基板の面方位が、(001) 面から [110] 方向または [-1-10] 方向に傾いていることを特徴とする請求項 1 乃至 4 のいずれか一つに記載の半導体素子。

【請求項 6】 半導体基板上のストライプ状領域に積層された第 1 導電型クラッド層、A1 を含む活性層および第 2 導電型第 1 クラッド層からなるストライプのストライプ状領域の長手方向を示すストライプ方位が、半導体基板面内で [110] 方向から [-110] 方向または [1-10] 方向に傾いていることを特徴とする請求項 1 乃至 4 のいずれか一つに記載の半導体素子。

【請求項 7】 ストライプ状領域の長手方向を示すストライプ方位が、半導体基板面内で [110] 方向から [-110] 方向または [1-10] 方向へ傾いており、その傾きが 0.01 度以上 3 度以下であることを特徴とする請求項 6 に

記載の半導体素子。

【請求項 8】 ストライプが、順メサ形状であることを特徴とする請求項 1 乃至 7 のいずれか一つに記載の半導体素子。

【請求項 9】 半導体基板上に、第 1 導電型クラッド層、A1 を含む活性層および第 2 導電型第 1 クラッド層からなるストライプを形成する工程と、前記第 2 導電型第 1 クラッド層形成後、酸素にさらすことなく、A1 を含まない保護層を前記活性層の露出面を覆うように形成する工程と、

前記ストライプ上部に誘電体マスクを形成する工程と、前記保護層、前記ストライプおよび前記半導体基板の露出面上に電流ブロック層を形成する工程と、前記誘電体マスクを除去する工程と、

前記保護層または前記ストライプの露出面、および前記電流ブロック層上に第 2 導電型第 2 クラッド層を形成する工程と、

前記第 2 導電型第 2 クラッド層上に第 2 導電型コンタクト層を形成する工程とからなる半導体素子の作製方法。

【請求項 10】 半導体基板上に、第 1 導電型クラッド層、A1 を含む活性層を形成する工程と、前記活性層形成後、酸素にさらすことなく、A1 を含まない第 2 導電型第 1 クラッド層を、前記活性層上部、および前記活性層の露出面を覆うように形成し、前記第 1 導電型クラッド層、前記活性層および前記第 2 導電型第 1 クラッド層からなるストライプを形成する工程と、前記ストライプ上部に誘電体マスクを形成する工程と、前記ストライプおよび前記半導体基板の露出面上に電流ブロック層を形成する工程と、

前記誘電体マスクを除去する工程と、前記ストライプの露出面および前記電流ブロック層上に第 2 導電型第 2 クラッド層を形成する工程と、前記第 2 導電型第 2 クラッド層上に第 2 導電型コンタクト層を形成する工程とからなる半導体素子の作製方法。

【請求項 11】 A1 を含まない保護層形成時の条件は、保護層の成長温度を T_g (°C) とし、保護層の成長速度を R_g ($\mu\text{m}/\text{h}$) とすると、

$(x, y) = (T_g, R_g)$ による xy 平面で示される成長温度と成長速度との関係から、 $(T_g, R_g) = (560, 0.3)$ 、 $(620, 0.3)$ 、 $(670, 2)$ 、 $(670, 3)$ 、 $(560, 3)$ の 5 点を結んで囲まれた領域内の任意の点で定まる成長温度と成長速度とであることを特徴とする請求項 9 に記載の半導体素子の作製方法。

【請求項 12】 A1 を含まない第 2 導電型第 1 クラッド層形成時の条件は、成長温度を T_g (°C) とし、成長速度を R_g ($\mu\text{m}/\text{h}$) とすると、 $(x, y) = (T_g, R_g)$ による xy 平面で示される

成長温度と成長速度との関係から、

(T_g, R_g) = (560, 0.3)、(620, 0.3)、(670, 2)、(670, 3)、(560, 3) の 5 点を結んで囲まれた領域内の任意の点で定まる成長温度と成長速度とであることを特徴とする請求項 10 に記載の半導体素子の作製方法。

【請求項 13】 半導体基板の面方位が、(001) 面、または (001) 面から $[1-10]$ 方向または $[-110]$ 方向に傾いており、その傾きが 15 度以下であることを特徴とする請求項 9 乃至 12 のいずれか一つに記載の半導体素子の作製方法。

【請求項 14】 半導体基板上のストライプ状領域にストライプを形成し、前記ストライプ状領域の長手方向を示すストライプ方位が $[110]$ であるとき、半導体基板の面方位が、

(001) 面から $[110]$ 方向または $[-1-10]$ 方向に傾いていることを特徴とする請求項 9 乃至 13 のいずれか一つに記載の半導体素子の作製方法。

【請求項 15】 半導体基板上のストライプ状領域にストライプを形成するとき、前記ストライプ状領域の長手方向を示すストライプ方位が、半導体基板面内で $[110]$ 方向から $[-110]$ 方向または $[1-10]$ 方向に傾いていることを特徴とする請求項 9 乃至 13 のいずれか一つに記載の半導体素子の作製方法。

【請求項 16】 ストライプ状領域の長手方向を示すストライプ方位が、半導体基板面内で $[110]$ 方向から $[-110]$ 方向または $[1-10]$ 方向へ傾いており、その傾きが 0.01 度以上 3 度以下であることを特徴とする請求項 15 に記載の半導体素子の作製方法。

【請求項 17】 ストライプが、順メサ形状であることを特徴とする請求項 9 乃至 16 のいずれか一つに記載の半導体素子の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Al を含んだ半導体層を活性層導波路に含む半導体素子とその作製方法に関する。

【0002】

【従来の技術】図 14 に 1980 年ジャーナル・オブ・アプライド・フィジックス、第 51 巻、4539~4540 ページ (JOURNAL OF APPLIED PHYSICS, P. 4539-4540, VOL. 51, 1980) に示されているウェットエッチングで導波路を形成した埋め込みヘテロ構造を有する半導体レーザ (BH-LD: Buried Heterostructure-Laser Diode) の構造を示

す。

【0003】n 型 InP (100) 基板 1a 上に InGaAsP 活性層 4c、p 型 InP クラッド層 6b、p 型 InGaAsP コンタクト層 10b からなる導波路が形成され、p 型 InP 電流ブロック層 8a、n 型 InP 電流ブロック層 8b、n 型 InGaAsP 層 8c で埋め込まれている。

【0004】図 15 に前記文献の文章をもとに描いた作製工程を示す。

10 【0005】まず Sn ドープの n 型 InP 基板 1a 上に液相成長法で InGaAsP 活性層 4c、p 型 InP クラッド層 6b、InGaAsP キャップ層 10c を成長する (図 15 (a))。はじめの成長温度は 630℃ で、冷却速度は 0.5℃/分である。活性層の 4c の組成は $In_{0.73}Ga_{0.27}As_{0.63}P_{0.37}$ で室温での発振波長は 1.3 μm である。

20 【0006】次に、 $[110]$ 方向に幅 6~7 μm のストライプ状の酸化シリコンマスク 13a を形成する (図 15 (b))。そして、Br (ブrom) -メタノール溶液で n 型 InP 基板 1a に達するまでエッチングを行い、導波路を形成する (図 15 (c))。Br-メタノール溶液は、 (111) InP 面のエッチングレートが遅いために逆メサ形状となる。この時、InGaAsP 活性層 4c が幅 1~2 μm になるようにエッチングを調整する。その後、p 型 InP 電流ブロック層 8a、n 型 InP 電流ブロック層 8b、n 型 InGaAsP 層 8c で埋め込む (図 15 (d))。酸化シリコンマスク 13a を除去後、メサストライプ部分のみに p 型 InP クラッド層 6b に達するまで選択的に Zn 拡散領域 200 を形成し (図 14)、p 型 InGaAsP コンタクト層 10b を形成して図 14 で示した構造が得られる。

30 【0007】BH-LD は、狭い活性層幅と漏れ電流の少ない電流ブロック構造により活性層への電流注入が効率よくできるために、低しきい値電流、高効率でのレーザ発振が可能である。しかし、活性層幅はしきい値電流やビームパターンに影響を与えるので精密に制御する必要がある。

40 【0008】しかし、図 14 に示した従来の BH-LD では、メサエッチングに Br-メタノールなどのエッチング液を使い、エッチング時間によってメサ幅を制御しているために、エッチング液のわずかな濃度差によるエッチング速度の違いやサイドエッチングなどにより十分な制御性が得られ難い。また、2~3 インチ基板を用いたプロセスでは面内のばらつきも大きくなる。その結果、レーザ特性がウェハ毎やウェハ面内で異なり、歩留まりの低下をもたらすという問題が有る。前記文献に示されている BH-LD (図 14) においても、ビーム放射角が活性層幅 1 μm で 35 度×35 度、活性層幅が 2 μm で 15 度×35 度であり、活性層幅によってビーム放射角が大きく変わることが記載されている。

【0009】一方、全選択MOVPE成長による半導体レーザ(ASM-LD: All Selective MOVPE grown Laser Diode)は、エッチングプロセス不要でBH構造が作製できるという特徴を持つ。

【0010】図16に1999年3月アイ・イー・イー・イー・ジャーナル・オブ・カンタム・エレクトロニクス、第35巻、第3号、368~376頁(IEEE JOURNAL OF QUANTUM ELECTRONICS, P. 368-376, VOL. 35, NO. 33, MARCH, 1999)に示されているASM-LDの構造図を示す。

【0011】面方位(001)面を成長面とするn型InP基板1a上にメサストライプ状のn型InPクラッド層2a(厚さ $d=100\sim200\text{nm}$)、n側InGaAsP光ガイド層3b($\lambda=1.13\mu\text{m}$ 、 60nm)、0.7%圧縮歪のInGaAsPウェル($d=6\text{nm}$)、InGaAsPバリア($\lambda=1.13\mu\text{m}$ 、 $d=8\text{nm}$)、で構成される至多重量子井戸活性層4b、p側InGaAsP光ガイド層5b($\lambda=1.13\mu\text{m}$ 、 60nm)、p型InP第1クラッド層206a($d=100\sim200\text{nm}$)が形成され、そのメサストライプは、p型InP電流ブロック層8a($d=600\text{nm}$)、n型InP電流ブロック層8b($d=600\text{nm}$)で埋め込まれている。そして、その上にp型InP第2クラッド層9a($d=1600\text{nm}$)、p型InGaAsコンタクト層10a(300nm)が形成されている。また、p側電極11とn側電極12が形成されている。

【0012】図17に作製工程を示す。

【0013】まず、(001)面を成長面とするn型InP基板1a上に[110]方向に沿って2本のストライプ状の酸化シリコンマスク13a(マスク幅 $5\mu\text{m}$)を形成し(図17(a))、マスクで挟まれた領域(開口幅 $1.5\mu\text{m}$)に選択MOVPE(Metal Organic Vapor Phase Epitaxy)成長によりn型InPクラッド層2a、n側光ガイド層3b、至多重量子井戸活性層4b、p側光ガイド層5b、p型InP第1クラッド層206aで構成される順メサストライプ形状の活性層導波路を作製する(図17(b))。次にセルフアラインプロセスでメサストライプのトップのみに酸化シリコンマスク13aを形成し(図17(c))、それをマスクとしてp型InP電流ブロック層8a、n型InP電流ブロック層8b、p型InP電流ブロック層8aの順で選択成長する(図17(d))。酸化シリコンマスク13aを除去後に、p型InP第2クラッド層9aとp型InGaAsコンタクト層10aを結晶成長してレーザ構造が作製できる(図17(e))。

【0014】図18にセルフアラインプロセスを示す。

まず、活性層導波路を選択成長後、熱化学気相堆積法(熱CVD)によりメサストライプトップの酸化シリコン膜14の厚さ(d_t)がメサストライプ側面の酸化シリコン膜14の厚さ(d_s)より厚くなる($d_t > d_s$)ように形成する(図18(a))。次に、 $d_s=0$ になるまでメサストライプ側面の酸化シリコン膜をエッチングする(図18(b))。次に、一般的なフォトリソ技術で活性層導波路をカバーするようにレジスト15を形成し、メサ底の酸化シリコン膜のみをサイドエッチングで除去する(図18(c))。そして、レジスト15を除去してメサストライプトップのみに酸化シリコンマスク13aを形成するセルフアラインプロセスが完了する(図18(d))。

【0015】ASM-LDでは、選択成長で作製した活性層導波路が、(001)面と側面を示す(111)B面とで囲まれた非常に平滑な順メサ形状をなすために、活性層幅(メサストライプ幅)は選択成長領域の開口幅とマスク幅によって決定される。従って、誘電体マスクの加工(パターニング)をウェハ面内やウェハ毎で制御することができれば、活性層幅は自動的に決定される。その結果、面内均一性や再現性に優れた半導体素子を作製することができ、歩留まりを向上することができる。前記文献においても、図16に示した半導体レーザが均一性に優れたレーザ特性を示すことが記載されている。

【0016】

【発明が解決しようとする課題】InAl(Ga)Asを活性層に用いた半導体レーザは、InGaAsP系に比べて電子側のバンドオフセットが大きいためにキャリアの閉じ込めが強く、低しきい値電流・高温特性などレーザ特性の向上が期待できる。

【0017】しかし、活性層に酸化し易いアルミニウム(Al)を含むために、活性層側面が大気に露出するプロセスを必要とするBH構造では酸化によるレーザ特性の劣化、信頼性の低下が懸念される。図14で示した従来のBH-LDでは、図15(c)で示したメサエッチング時に活性層側面が必ず大気にさらされる。一方、図16で示したASM-LDにおいても、図17(c)の工程で活性層側面を大気に露出することになり、酸化は避けられない。

【0018】本発明の目的は、Alを含む半導体層を活性層に用いた半導体素子において、活性層側面をAlを含まない半導体層でカバーすることによって活性層を大気にさらすことを無くし、活性層の酸化を抑制し、信頼性、歩留まりの高い半導体素子及びその作製方法を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するための本発明の半導体素子は、半導体基板上の所定の領域に積層された第1導電型クラッド層、Alを含む活性層および第2導電型第1クラッド層からなるストライプと、

前記ストライプが埋め込まれた電流ブロック層と、前記ストライプおよび前記電流ブロック層の上に形成された第2導電型第2クラッド層と、前記第2導電型第2クラッド層上に形成された第2導電型コンタクト層とからなる半導体素子において、前記活性層と前記電流ブロック層との間にA1を含まない保護層を有する構成である。

【0020】半導体基板上の所定の領域に積層された第1導電型クラッド層、A1を含む活性層および第2導電型第1クラッド層からなるストライプにおいて、活性層と電流ブロック層との間に、活性層と組成が異なる、A1を含まない保護層を形成しているため、活性層の酸化を抑制できる。したがって、活性層の酸化によるレーザ特性の悪化を防ぎ、信頼性および歩留まりの高い半導体素子を得ることができる。

【0021】このとき、A1を含まない保護層は、第2導電型第1クラッド層と同じ膜であってもよい。

【0022】A1を含まない保護層は、第2導電型第1クラッド層と同じ膜であるため、第2導電型第1クラッド層と同時に保護層を形成することができ、半導体基板表面からのストライプの高さを低減することができる。

【0023】また、半導体基板の面方位が、(001)面、または(001)面から[1-10]方向または[1-10]方向に傾いており、その傾きが15度以下であってもよい。

【0024】半導体基板の面方位が、(001)面、または(001)面から[1-10]方向または[1-10]方向に傾いており、その傾きが15度以下であると、ストライプ側面に保護層が形成されやすくなるため、活性層の酸化抑制効果がさらに向上する。

【0025】また、A1を含まない保護層形成時の条件は、保護層の成長温度を T_g (°C)とし、保護層の成長速度を R_g ($\mu\text{m}/\text{h}$)とすると、 $(x, y) = (T_g, R_g)$ による xy 平面で示される成長温度と成長速度との関係から、 $(T_g, R_g) = (560, 0.3)$ 、 $(620, 0.3)$ 、 $(670, 2)$ 、 $(670, 3)$ 、 $(560, 3)$ の5点を結んで囲まれた領域内の任意の点で定まる成長温度と成長速度としてもよい。

【0026】A1を含まない保護層形成時の条件は、成長温度を T_g (°C)とし、成長速度を R_g ($\mu\text{m}/\text{h}$)とすると、 $(x, y) = (T_g, R_g)$ による xy 平面で示される成長温度と成長速度との関係から、 $(T_g, R_g) = (560, 0.3)$ 、 $(620, 0.3)$ 、 $(670, 2)$ 、 $(670, 3)$ 、 $(560, 3)$ の5点を結んで囲まれた領域内の任意の点で定まるため、保護層形成のための成長速度と成長温度とを的確に決めことができ、保護層を安定して形成することができる。したがって、活性層の酸化抑制効果を確実に得ることができる。

【0027】また、半導体基板上のストライプ状領域に

積層された第1導電型クラッド層、A1を含む活性層および第2導電型第1クラッド層からなるストライプのストライプ状領域の長手方向を示すストライプ方位が[110]であるとき、半導体基板の面方位が、(001)面から[110]方向または[1-10]方向に傾いていてもよい。

【0028】ストライプの長手方向を示すストライプ方位が[110]であるとき、半導体基板の面方位を、

(001)面から[110]方向または[1-10]方向に傾けることにより、ストライプ側面での保護層形成の被覆性を向上する。したがって、ストライプ側面に形成される保護層の膜厚が厚くなり、活性層の酸化抑制効果が向上する。

【0029】また、半導体基板上のストライプ状領域に積層された第1導電型クラッド層、A1を含む活性層および第2導電型第1クラッド層からなるストライプのストライプ状領域の長手方向を示すストライプ方位が、半導体基板面内で[110]方向から[1-10]方向または[1-10]方向に傾いていてもよい。

【0030】ストライプの長手方向を示すストライプ方位を、半導体基板面内で[110]方向から[1-10]方向または[1-10]方向に傾けることにより、ストライプ側面での保護層形成の被覆性がさらによくなる。したがって、ストライプ側面に形成される保護層の膜厚が厚くなり、活性層の酸化抑制効果が向上する。

【0031】また、ストライプ状領域の長手方向を示すストライプ方位が、半導体基板面内で[110]方向から[1-10]方向または[1-10]方向へ傾いており、その傾きが0.01度以上3度以下であってもよい。

【0032】ストライプ状領域の長手方向を示すストライプ方位が、半導体基板面内で[110]方向から[1-10]方向または[1-10]方向へ傾いており、その傾きが0.01度以上3度以下であれば、ストライプ側面での保護層形成の被覆性がよくなるだけでなく、ストライプの良好な形状を維持できる。

【0033】さらに、ストライプが順メサ形状であってもよい。

【0034】一方、上記目的を達成するための本発明の半導体素子の作製方法は、半導体基板上に、第1導電型クラッド層、A1を含む活性層および第2導電型第1クラッド層からなるストライプを形成する工程と、前記第2導電型第1クラッド層形成後、酸素にさらすことなく、A1を含まない保護層を前記活性層の露出面を覆うように形成する工程と、前記ストライプ上部に誘電体マスクを形成する工程と、前記保護層、前記ストライプおよび前記半導体基板の露出面上に電流ブロック層を形成する工程と、前記誘電体マスクを除去する工程と、前記保護層または前記ストライプの露出面、および前記電流ブロック層上に第2導電型第2クラッド層を形成する工

程と、前記第2導電型第2クラッド層上に第2導電型コンタクト層を形成する工程とからなる。

【0035】半導体基板上に、第1導電型クラッド層、Alを含む活性層および第2導電型第1クラッド層からなるストライプを形成した後、酸素にさらすことなく、Alを含まない保護層を活性層の露出面を覆うように形成しているので、活性層が、ストライプ形成以降の工程で、大気中などの酸素にさらされることがない。そのため、活性層が酸化されることが抑制され、信頼性および歩留まりの高い半導体素子を作製できる。

【0036】または、半導体基板上に、第1導電型クラッド層、Alを含む活性層を形成する工程と、前記活性層形成後、酸素にさらすことなく、Alを含まない第2導電型第1クラッド層を、前記活性層上部、および前記活性層の露出面を覆うように形成し、前記第1導電型クラッド層、前記活性層および前記第2導電型第1クラッド層からなるストライプを形成する工程と、前記ストライプ上部に誘電体マスクを形成する工程と、前記ストライプおよび前記半導体基板の露出面上に電流ブロック層を形成する工程と、前記誘電体マスクを除去する工程と、前記ストライプの露出面および前記電流ブロック層上に第2導電型第2クラッド層を形成する工程と、前記第2導電型第2クラッド層上に第2導電型コンタクト層を形成する工程とからなる。

【0037】半導体基板上に、第1導電型クラッド層、Alを含む活性層を形成した後、酸素にさらすことなく、Alを含まない第2導電型第1クラッド層を、活性層上部、および活性層の露出面を覆うように形成し、第1導電型クラッド層、活性層および第2導電型第1クラッド層からなるストライプを形成しており、ストライプ形成以降の工程では、第2導電型第1クラッド層が活性層の酸化を防ぐ。第2導電型第1クラッド層が活性層の酸化を防ぐ保護層の機能も有しているため、第2導電型第1クラッド層とは別に保護層を形成するための工程が必要なく、半導体素子の作製期間を短縮できる。

【0038】また、Alを含まない保護層形成時の条件は、保護層の成長温度を T_g (°C) とし、保護層の成長速度を R_g ($\mu\text{m/h}$) とすると、 $(x, y) = (T_g, R_g)$ による xy 平面で示される成長温度と成長速度との関係から、 $(T_g, R_g) = (560, 0.3)$ 、 $(620, 0.3)$ 、 $(670, 2)$ 、 $(670, 3)$ 、 $(560, 3)$ の5点を結んで囲まれた領域内の任意の点で定まる成長温度と成長速度としてもよい。

【0039】また、Alを含まない第2導電型第1クラッド層形成時の条件は、成長温度を T_g (°C) とし、成長速度を R_g ($\mu\text{m/h}$) とすると、 $(x, y) = (T_g, R_g)$ による xy 平面で示される成長温度と成長速度との関係から、 $(T_g, R_g) = (560, 0.3)$ 、 $(620, 0.3)$ 、 $(670, 2)$ 、 $(67$

0, 3)、 $(560, 3)$ の5点を結んで囲まれた領域内の任意の点で定まる成長温度と成長速度としてもよい。

【0040】また、半導体基板の面方位が、 (001) 面、または (001) 面から $[1-10]$ 方向または $[-110]$ 方向に傾いており、その傾きが15度以下であってもよい。

【0041】また、半導体基板上的ストライプ状領域にストライプを形成し、前記ストライプ状領域の長手方向を示すストライプ方位が $[110]$ であるとき、半導体基板の面方位が、 (001) 面から $[110]$ 方向または $[-1-10]$ 方向に傾いていてもよい。

【0042】また、半導体基板上的ストライプ状領域にストライプを形成するとき、前記ストライプ状領域の長手方向を示すストライプ方位が、半導体基板面内で $[110]$ 方向から $[-110]$ 方向または $[1-10]$ 方向に傾いていてもよい。

【0043】また、ストライプ状領域の長手方向を示すストライプ方位が、半導体基板面内で $[110]$ 方向から $[-110]$ 方向または $[1-10]$ 方向へ傾いており、その傾きが0.01度以上3度以下であってもよい。

【0044】さらに、ストライプが順メサ形状であってもよい。

【0045】

【発明の実施の形態】本発明の半導体素子とその作製方法について図面を使って説明する。

【0046】図1に本発明の半導体素子の基本構造を示す。半導体基板1上にメサストライプ形状の第1導電型クラッド層2、アルミニウム (Al) を含む活性層4、第2導電型第1クラッド層6からなる活性層導波路が形成され、その活性層導波路はAlを含まない半導体層 (保護層7) で覆われている。そして、保護層7を含む導波路は、電流ブロック層8で埋め込まれ、更に第2導電型第2クラッド層9、第2導電型コンタクト層10が積層されている。

【0047】図2に作製工程を示す。面方位 (001) 面を成長面とする半導体基板1上に2本のストライプ状の誘電体マスク13を形成し (図2 (a))、マスクで挟まれた領域に選択MOVPE成長により第1導電型クラッド層2、Alを含む活性層4、第2導電型第1クラッド層6で構成される順メサ形状の活性層導波路を作製する (図2 (b))。更に、結晶成長炉の外に出すことなく、酸素にさらすことなく連続して保護層7を形成する (図2 (c))。

【0048】次にセルフアラインプロセスで活性層導波路のメサトップのみに誘電体マスク213を形成し (図2 (d))、それをマスクとして電流ブロック層8を選択成長で形成する (図2 (e))。誘電体マスク213を除去後、第2導電型第2クラッド層9と第2導電型コ

ンタクト層 10 を形成して図 1 の構造が作製できる。

【0049】活性層導波路は保護層 7 によって被覆されているために、その後のプロセスにおいてウェハを大気にさらしても、Al を含んだ活性層側面における大気中の酸素による酸化が抑制され、素子特性の悪化や信頼性の低下を防ぐことができる。酸化の抑制は、保護層 7 によって行われる。保護層 7 が半導体素子を完成するプロセス中で消失してしまうと、Al を含む活性層側面は酸化されてしまう。それを抑制するためには、保護層 7 の厚さを厚くすることが必要である。また、意図的に消失しないようにプロセスを構成する必要がある。

【0050】従来例で示した ASM-LD では、活性層に Al を含まないために保護層という考え方はなかった。また、たとえ偶然にして側面保護層のものが形成されていたとしても、最終的には電流ブロック層中に埋め込むプロセスで消失している。

【0051】本発明では、この保護層をプロセスの最終工程まで残存させることによって酸化抑制効果を引き出し、しいては実用に耐え得る Al 系活性層導波路を有する半導体素子の構造と作製方法を提供するものである。

【0052】以下では、保護層の残存性を高めるための製造方向について述べる。保護層 7 は、①成長温度を低くする、② III 族 (In や Ga など) 原料の供給量を増やし、成長速度を増加する、③半導体基板上に形成した 2 本のストライプ状の誘電体マスクで挟まれることにより形成されるストライプ状の開口領域のストライプ方向を意図的に傾ける、ことによりメサ側面での成長速度をメサトップの成長速度に比べて増加することができる。その理由としては、活性層導波路の側面は (111) B 面であり、その面における III 族原子 (In、Ga など) は下地の V 族原子 (As、P など) と 1 本の

ボンドでしか結合していない。従って、成長温度が高いと結合が切れて脱離が起こり易く、結果的に成長が抑制される。なお、以下において、活性層導波路の側面を (111) B 面と称する。

【0053】逆に、成長温度が低いと脱離が抑制されて (111) B 面での成長が促進できる。また、III 族原子の吸着確率は III 族原子の濃度に比例するので、(001) 面上の成長速度が大きいほど (111) B 面上の成長速度も大きくなる。従って、成長速度がある程度大きい成長条件では、(111) B 面である活性層導波路側面への保護層の形成が容易になる。また、ストライプ状の開口領域のストライプ方位を傾けると開口領域に形成した活性層導波路の側面である (111) B 面はステップ密度が増加し、傾けない場合に比べてステップフロー成長が促進される。その結果、(111) B 面における保護層 7 の成長が促進されると共に被覆性、平坦性も向上する。

【0054】Al を含んだ活性層を用いた場合、メサストライプ側面の酸化が抑制できないと、非発光再結合セ

ンターが生成され、結果的にレーザ特性の悪化や信頼性の低下をもたらす。従って、Al を含んだ半導体層を活性層導波路に用いた半導体素子、例えば、ASM-LD 構造による半導体素子において、本発明の構造を採用することにより、実用に耐える半導体レーザを初めて実現することができる。

【0055】

【実施例】(第 1 の実施例) 図 3 は本発明の第 1 の実施例で、Al を含んだ半導体層を活性層に用いた 1.3 μm 帯 ASM-LD の構造図である。

【0056】面方位 (001) 面を成長面とする n 型 InP 基板 1a (キャリア濃度 $n = 2 \times 10^{18} \text{ cm}^{-3}$) 上にメサストライプ形状の n 型 InP クラッド層 2a (厚さ $d = 200 \text{ nm}$ 、 $n = 1 \times 10^{18} \text{ cm}^{-3}$)、n 側 InAlGaAs 光ガイド層 3a ($d = 50 \text{ nm}$ 、ノンドープ)、InAlGaAs ウェル ($d = 6 \text{ nm}$ 、1.5% 圧縮歪、7 ウェル)、InAlGaAs バリア ($d = 10 \text{ nm}$ 、0.9% 引張り歪) で構成される歪多重量子井戸活性層 4a、p 側 InAlGaAs 光ガイド層 5a ($d = 50 \text{ nm}$ 、ノンドープ)、p 型 InP 第 1 クラッド層 56a ($d = 50 \text{ nm}$ 、 $p = 5 \times 10^{17} \text{ cm}^{-3}$) からなる活性層導波路が形成され、その活性層導波路の側面は p 型 InP 保護層 7a で被覆されている。(001) 面における p 型 InP 保護層 7a の厚さは 200 nm 、キャリア濃度は $p = 5 \times 10^{17} \text{ cm}^{-3}$ である。また、メサストライプ側面の (111) B 面における p 型 InP 保護層 7a の厚さは 30 nm である。

【0057】そして、活性層導波路は p 型 InP 電流ブロック層 8a ($d = 700 \text{ nm}$ 、 $p = 7 \times 10^{17} \text{ cm}^{-3}$)、n 型 InP 電流ブロック層 8b ($d = 600 \text{ nm}$ 、 $n = 1 \times 10^{18} \text{ cm}^{-3}$) で埋め込まれ、p 型 InP 第 2 クラッド層 9a ($d = 1500 \text{ nm}$ 、 $p = 1 \times 10^{18} \text{ cm}^{-3}$)、p 型 InGaAs コンタクト層 10a (300 nm 、 $p = 1 \times 10^{19} \text{ cm}^{-3}$) が積層されている。なお、図 3 に示されていないが、図 16 に示す p 側電極 11、n 側電極 12 が従来と同様に形成されており、詳細な説明を省略する。

【0058】次に作製方法について説明する。図 4 は、本発明の第 1 の実施例である ASM-LD の作製工程図である。結晶成長は MOVPE 法を使い、原料としては、トリメチルアルミニウム (TMAI)、トリエチルガリウム (TEGa)、トリメチルインジウム (TMI)、アルシン (AsH_3)、ホスフィン (PH_3) を用いる。また、n 型と p 型のドーピング原料としては、ジシラン (Si_2H_6) とジエチル亜鉛 (DEZn) をそれぞれ用いる。キャリアガスは水素で、成長圧力は 100 hPa で行う。

【0059】まず、(001) 面を成長面とする n 型 InP 基板 1a 上に厚さ 100 nm の酸化シリコン膜を熱 CVD で堆積する。そして、一般的なフォトリソ技術を

使ってマスク幅 $5\mu\text{m}$ 、開口幅 $1.5\mu\text{m}$ からなる一対のストライプ状の酸化シリコンマスク13aに加工する(図4(a))。ストライプの長手方向を示すストライプ方位は $[110]$ 方向である。

【0060】次にその基板をMOVPE装置にセットし、n型InPクラッド層2a、n側InAlGaAs光ガイド層3a、InAlGaAs層を含む歪多重量子井戸活性層4a、p側InAlGaAs光ガイド層5a、p型InP第1クラッド層56aで構成される順メサ形状の活性層導波路を選択成長により形成する(図4(b))。更に大気にさらすことなく連続して、p型InP保護層7aを成長させる(図4(c))。成長温度と選択成長領域の(001)面における成長速度はそれぞれ、n型InPクラッド層2aからp型InP第1クラッド層56aまでが 640°C 、 $0.5\mu\text{m}/\text{h}$ 、p型InP保護層7aが 590°C 、 $1.5\mu\text{m}/\text{h}$ である。その後MOVPE装置から取り出し、セルフアラインプロセスによりメサトップのみに酸化シリコンマスク213aを形成する(図4(d))。

【0061】次に、再度MOVPE装置にセットし、成長温度 630°C でp型InP電流ブロック層8a、n型InP電流ブロック層8bを選択成長により形成する(図4(e))。MOVPE装置から取り出して酸化シリコンマスク213aを除去後、3回目のMOVPE成長で成長温度 600°C でp型InP第2クラッド層9a、p型InGaAsコンタクト層10aを成長させ、その後、p型電極11の形成、n型InP基板1aの研磨、n型電極12の形成を行い、図3で示したASM-LDを作製することができる。

【0062】この半導体レーザを共振器長 $300\mu\text{m}$ 、前面30%、後面90%の端面コーティングを施してレーザ特性を評価したところ、 25°C におけるしきい値電流は 8mA 、スロープ効率は $0.45\text{W}/\text{A}$ と低いしきい値電流、高効率でのレーザ発振を得た。また、 120°C までのレーザ発振を確認し、高温での連続動作も確認した。

(第2の実施例) 図5は本発明の第2の実施例で、第1の実施例と同様にAlを含んだ半導体層を活性層に用いた $1.3\mu\text{m}$ 帯ASM-LDの構造図である。第1実施例との違いは、活性層導波路の側面がp型InP第1クラッド層6aで被覆されており、p型InP第1クラッド層6aが第1実施例における保護層7aの役割を担っている。

【0063】図6に実施例2の作製工程図を示す。第1実施例と同様に結晶成長にはMOVPE法を使い、原料としてはTMAI、TEGa、TMIn、AsH₃、PH₃を用い、n型とp型のドーピング原料としてはSi₂H₆とDEZnをそれぞれ用いる。キャリアガスは水素で、成長圧力は 100hPa で行う。

【0064】まず、(001)面を成長面とするn型I

nP基板1a上に厚さ 100nm の酸化シリコン膜を熱CVDで堆積する。そして、一般的なフォトリソ技術を使ってマスク幅 $5\mu\text{m}$ 、開口幅 $1.5\mu\text{m}$ からなる一対のストライプ状の酸化シリコンマスク13aに加工する(図6(a))。ストライプの長手方向を示すストライプ方位は $[110]$ 方向である。

【0065】次にその基板をMOVPE装置にセットし、n型InPクラッド層2a、n側InAlGaAs光ガイド層3a、InAlGaAsを含む歪多重量子井戸活性層4a、p側InAlGaAs光ガイド層5a、p型InP第1クラッド層6aで構成される順メサ形状の活性層導波路を選択成長により形成する(図6(b))。p型InP第1クラッド層6aの厚さは、メサトップである(001)面で 200nm 、メサ側面である(111)B面で 20nm である。成長温度と選択成長領域の(001)面における成長速度は、n型InPクラッド層2a、n側InAlGaAs光ガイド層3a、多重量子井戸活性層4a、p側InAlGaAs光ガイド層5aで 640°C 、 $0.5\mu\text{m}/\text{h}$ で、p型InP第1クラッド層6aは 620°C 、を $2.5\mu\text{m}/\text{h}$ である。第2の実施例では、p型InP第1クラッド層6aの成長温度を下げるによりメサストライプ側面における成長を促進させ、保護層として機能させている。

【0066】その後、MOVPE装置から取り出し、第1実施例と同様にセルフアラインプロセス、電流ブロック層8aの形成、p型InP第2クラッド層9aの形成、p型InGaAsコンタクト層10aの形成を経て図5の構造を作製することができる。

【0067】図7に成長温度と選択成長領域の(001)面における成長速度を変化させて、メサストライプ側面にInP保護層を形成した結果を示す。ストライプの長手方向が $[110]$ 方向になるように、ストライプを形成した。成長後にメサストライプ側面を走査型電子顕微鏡で観察し、(111)B面の被覆状態と成長条件の関係をプロットした。

【0068】なお、図7は、成長温度(T_g)と成長速度(R_g)とからなる成長条件の関係を、(x, y) = (T_g, R_g)によるxy平面としたグラフであり、メサ側面が完全に被覆されていれば○印を、部分的に被覆されていれば△印を、被覆されていなければ×印を上記xy平面にプロットしている。

【0069】成長温度が 560°C から 620°C の場合、成長速度は実験を行った $0.3\mu\text{m}/\text{h}$ から $3\mu\text{m}/\text{h}$ の範囲で、(111)B面への平坦なInP成長が確認できた。しかし、 560°C 以下では平坦性が低下し、メサストライプ側面に保護層を十分に被覆できなかった。これは、①成長温度の低下によりIn原子のマイグレーション長が短くなったため、②PH₃の分解効率が低下し、P(リン)圧が不足して結晶性が悪化したため、と

考えられる。また、670℃以上では(111)B面への成長が抑制された。これは成長温度が高すぎるためにIn原子の付着率が低下したためと考えられる。一方、620℃～670℃では、成長温度の上昇と共に成長速度を増加することにより、(111)B面の成長が可能となる。尚、成長速度については、成長層の平坦性や厚さの制御性を考えると、(001)面上で3μm/h以下が適当であると考えられる。

【0070】従って、(Tg, Rg) = (560, 0.3)、(620, 0.3)、(670, 2)、(670, 3)、(560, 3)の5点を結んで囲まれた領域における任意の点での成長温度、成長速度でストライプ側面の保護層の形成を行うことにより、被覆性、平坦性、結晶性に優れた成長が可能である。第1の実施例ではp型InP保護層7aを590℃、1.5μm/hで、実施例2ではp型InP第1クラッド層を620℃、2.5μm/hで成長することにより保護層をメサストライプ側面に形成し、Alを含んだ半導体層の酸化を抑制している。

【0071】尚、(001)面の成長速度は、成長面を数度傾けても変わらないので、図7で示した(111)B面に対する関係はほぼ同様な関係が得られる。

(第3の実施例)図8は本発明の第3の実施例で、活性層導波路を選択成長で形成した後の斜視図である。第1、第2の実施例と同様にAlを含んだ半導体層を活性層に用いた1.3μm帯ASM-LDである。

【0072】(001)面を成長面とするn型InP基板1a(キャリア濃度 $n = 2 \times 10^{18} \text{ cm}^{-3}$)上に2本のストライプ状の酸化シリコンマスク13aが[110]方向から(001)面内で0.5度傾いて形成され、その挟まれた領域にメサストライプ状のn型InPクラッド層2a(厚さ $d = 200 \text{ nm}$ 、 $n = 1 \times 10^{18} \text{ cm}^{-3}$)、n側InAlGaAs光ガイド層3a($d = 50 \text{ nm}$ 、ノンドープ)、InAlGaAsウェル($d = 6 \text{ nm}$ 、1.5%圧縮歪、7ウェル)、InAlGaAsバリア($d = 10 \text{ nm}$ 、0.9%引っ張り歪)で構成される歪多重量子井戸活性層4a、p側InAlGaAs光ガイド層5a($d = 50 \text{ nm}$ 、ノンドープ)、p型InP第1クラッド層6a($d = 200 \text{ nm}$ 、 $p = 5 \times 10^{17} \text{ cm}^{-3}$)が形成されている。

【0073】また、歪多重量子井戸活性層4aの側面は、p型InP第1クラッド層6aでカバーされており、p型InP第1クラッド層6aが保護層の役割をしている。(111)B面におけるp型InP第1クラッド層6aの厚さは、40nmである。

【0074】次に作製方法について説明する。図9は第3の実施例の作製工程図で、活性層導波路を選択成長で

$$S = L \times 1000 \tan(X)$$

2インチ基板(直径約50mm)を用いた場合、傾き角が0.01度のとき、Sは約9μmとなる。9μmとい

形成するまでを示したものである。第1実施例、第2実施例と同様に結晶成長にはMOVPE法を使い、原料としてはTMAI、TEGa、TMIn、AsH₃、PH₃を、n型とp型のドーピング原料としてはSi₂H₆とDEZnをそれぞれ用いる。キャリアガスは水素で、成長圧力は100hPaで行う。

【0075】まず、(001)面を成長面とするn型InP基板1a上に厚さ100nmの酸化シリコン膜を熱CVDで堆積する。そして、一般的なフォトリソ技術を使って幅5μm、開口幅1.5μmからなる一対のストライプ状の酸化シリコンマスク13aに加工する(図9(a))。この時、ストライプの長手方向は[110]方向から(001)面内で意図的に0.5度傾けて形成する(図9(b))。

【0076】次にその基板をMOVPE装置にセットし、n型InPクラッド層2a、n側InAlGaAs光ガイド層3a、InAlGaAsを含む歪多重量子井戸活性層4a、p側InAlGaAs光ガイド層5a、p型InP第1クラッド層6aで構成される順メサ形状のDH(Double Hetero)構造を選択成長により形成する(図9(c))。成長温度と成長速度はn型InPクラッド層2aからp側InAlGaAs光ガイド層5aまでは640℃、0.5μm/hで、p型InP第1クラッド層6aは600℃、0.5μm/hである。

【0077】酸化シリコンマスク13aが[110]方向から(001)面内で0.5度傾けて形成されているために、選択成長で形成されるDHメサストライプも傾いて形成される。更に、メサ側面も傾いているために

(111)B面におけるステップ密度が増加し、傾けない場合に比べてIII族原子の吸着確率が増加する。その結果、p型InP第1クラッド層6a成長時にメサ側面への成長が促進されて、Alを含む半導体層(光ガイド層(3a、5a)、活性層4a)の側面を被覆することができる。

【0078】第3の実施例ではストライプの傾き角として0.5度の場合について述べた。傾き角に比例して

(111)B面におけるステップ間隔が短くなりステップ密度が増加するので、ストライプをわずかに傾けることにより(111)B面における成長促進、平坦性向上など本発明の作用を効果的に得ることができる。傾き角の範囲について考えると、ストライプを[110]方向の基準となるもの(例えば、へき開面)からX度傾かせると、長さL(μm)離れた所での[110]方向ストライプからのずれ量S(μm)は、式(1)で表すことができる。

$$\text{【0079】} \quad \dots \quad (1)$$

う大きさは、密着露光機などを用いた通常のフォトリソプロセスにおいて人間が意図的にずらすことができる十

10

20

30

40

50

分な大きさである。しかし、基板毎での再現性などを考慮すると、傾き角を意図的に制御できる精度としては0.01度以上とするのが妥当と考えられる。

【0080】一方、図10(a)、(b)、(c)に選択成長に用いる酸化シリコンマスク13aの[110]方向からの傾き角が0度、3度、5度の場合における保護層形成後のメサストライプ形状を示す。保護層として、p型InP第1クラッド層6aを用いた。ストライプの傾き角が大きくなるのに伴い、(111)B面における成長速度が増加し、順メサ形状(傾き角が0度の場合)からマッシュルーム形状(3度)、疑似逆メサ形状(5度)へと変化する。

【0081】図10(c)に示す疑似逆メサ形状では、図18に示したセルフアラインプロセスにおいて、熱CVDによる酸化シリコン膜堆積時にひさし下部によどみ層が形成されて側面での酸化シリコン膜厚(ds)が厚くなる。従って、 $dt > ds$ (図18(a)参照)になるように酸化シリコン膜14を形成するのが不可能である。従って、傾き角は3度以下とする方が良い。

【0082】以上の結果から、選択成長に使う酸化シリコンマスク13aの傾き角は、0.01度以上3度以下とするのが望ましい。

【0083】また、第3の実施例では、開口幅とマスク幅を一定とし、ストライプマスク全体を一定の角度だけ傾けた。しかし、図11に示したマスクパターンのようにマスクの一部を傾けた場合(図11(a))や傾け角を複数変えた場合(図11(b))、開口幅やマスク幅を変えた場合(図11(c))など、それらの作用によって活性層導波路の側面をカバーする保護層を形成することができれば、本発明は有効である。また、第1実施例〜第3実施例では活性層にInAlGaAs層を含んだASM構造による半導体素子の場合について述べたが、AlGaAsやInAlGaPなどを用いた場合でも本発明は有効である。

【0084】なお、上記第1実施例〜第3実施例では、半導体基板の面方位が(001)面の場合で説明したが、[1-10]方向または[-110]方向に数度傾いていてもよい。この数度の傾きは、選択MOVPE成長で形成されるメサ側面が(111)B面となる範囲の角度である。

【0085】図12に一例として、[1-10]方向に5度傾けた(001)InP基板を用いて活性層導波路を形成した後の断面構造を示す。5度傾けることにより成長面と(111)B面はそれぞれ59.7度、49.7度をなす。しかし、選択成長により(111)B面の形成、つまり保護層であるp型InP第1クラッド層6aの形成が可能であり、本発明を適用することができる。そして、本発明の効果が得られる角度としては、(111)B面の形成が可能である15度程度までである。

【0086】更に、半導体基板の面方位が(001)面から[110]方向または[-1-10]方向に傾いていてもよい。この傾き角に応じて(111)B面のステップ密度が増加するので、本発明の作用である(111)B面への成長の促進、平坦性の向上が得られる。

【0087】図13に一例として、[110]方向に1度傾けた(001)InP基板を用いて作製したASM-LDの断面図を示す。図13(a)は導波路に垂直方向、図13(b)は導波路に平行な方向から見た断面図である。[110]方向に1度傾けることによりへき開で形成した端面も1度傾くことになる。半導体レーザの反射面となるへき開で形成した(110)面及び(-1-10)面も傾くために、ミラー損失が増加してしきい値電流の増加をもたらすが、本発明を適用することによって、信頼性や歩留まりの向上という本発明の効果が十分に得られれば、その傾き角まで本発明が有効である。さらに、ドライエッチングを用いて反射面を形成する場合については、基板の傾き角に依存せず垂直なミラー形成が可能であるから、レーザ特性の悪化を危惧する必要はない。

【0088】なお、上記第1実施例〜第3実施例においては、順メサ形状のストライプについて説明してきたが、順メサ形状に限られず、ストライプの側面が半導体基板表面に垂直になるように、ストライプが形成されてもよい。

【0089】

【発明の効果】本発明によれば、Alを含んだ半導体層を活性層に用いた半導体素子において、ストライプ側面をAlを含まない半導体層でカバーすることによって、活性層を大気にさらすことなく、信頼性、歩留まりの高い半導体素子及びその作製方法を得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体素子の基本構造を示す断面図である。

【図2】本発明の基本構造の作製工程を示す断面図である。

【図3】本発明の第1の実施例で、Alを含んだ半導体層を活性層に用いた1.3μm帯ASM-LDの構造断面図である。

【図4】本発明の第1の実施例の作製工程を示す断面図である。

【図5】本発明の第2の実施例であるASM-LDの構造断面図である。

【図6】本発明の第2の実施例の作製工程を示す断面図である。

【図7】本発明の第1、第2の実施例の作用であるメサ側面の被覆形態の成長条件依存性を示すグラフである。

【図8】本発明の第3の実施例で活性層導波路形成後の構造を示す斜視図である。

【図9】本発明の第3の実施例の作製工程を示す断面図

である。

【図10】選択成長により形成したメサストライプの形状と傾き角の関係を示した図である。

【図11】本発明の第3の実施例の応用例として選択成長用のマスクパターンを示した図である。

【図12】 $[1-10]$ 方向に5度傾けた面方位(001)のInP基板上に活性層導波路形成した後の断面構造図である。

【図13】 $[110]$ 方向に1度傾けた面方位(001)のInP基板上に形成したASM-LDの断面構造図である。

【図14】ウエットエッチングで導波路を形成したBH-LDの断面図である。

【図15】ウエットエッチングで導波路を形成したBH-LDの作製工程を示す断面図である。

【図16】従来のASM-LDの構造を示す断面図である。

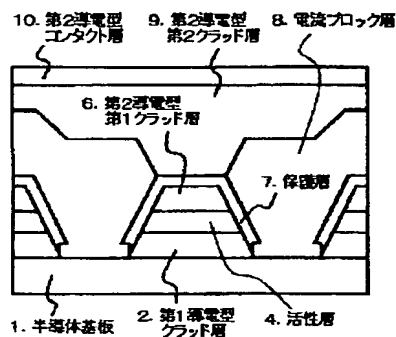
【図17】従来のASM-LDの作製工程を示す断面図である。

【図18】セルフアラインプロセスを示す断面図である。

【符号の説明】

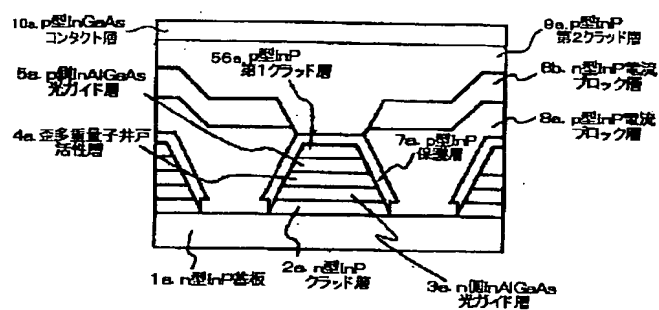
- 1 半導体基板
- 1a n型InP基板
- 2 第1導電型クラッド層
- 2a n型InPクラッド層
- 2b n型InP第1クラッド層
- 2c n型InAlGaAs第2クラッド層

【図1】

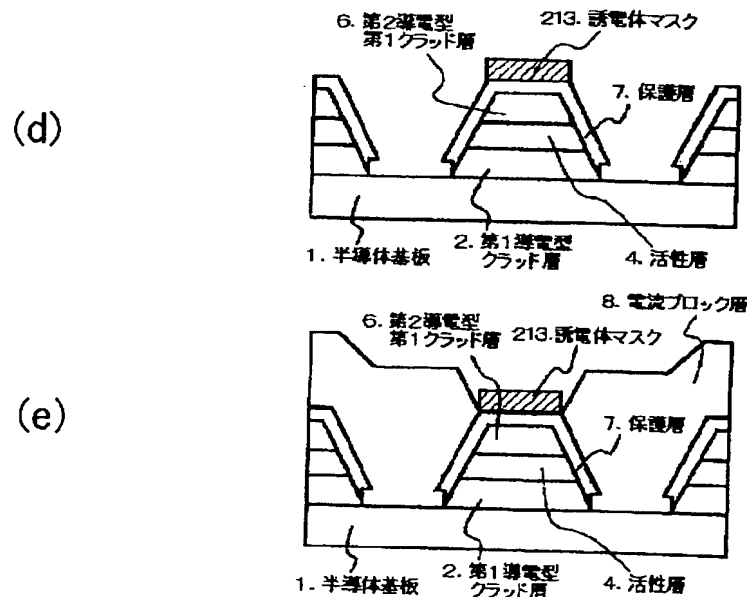
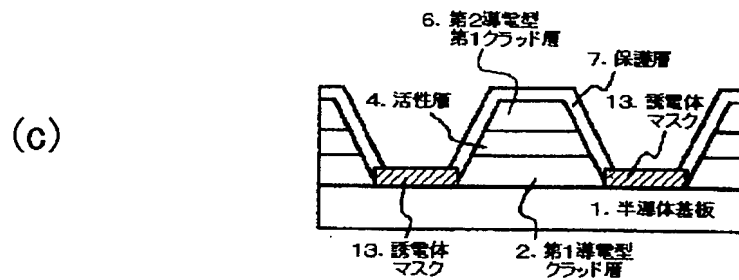
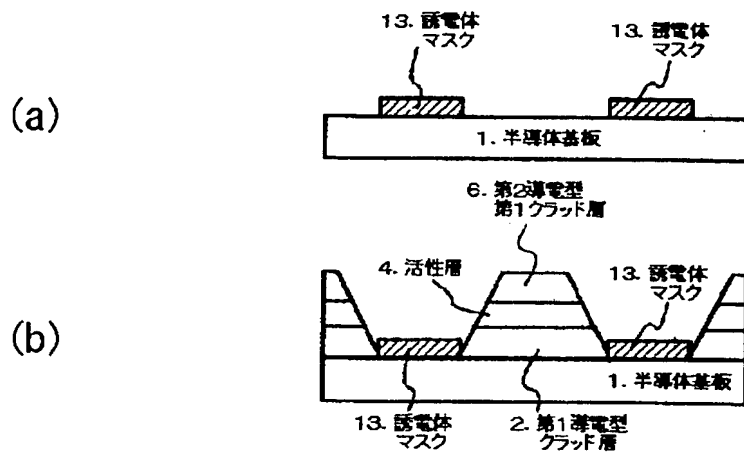


- 3a n側InAlGaAs光ガイド層
- 3b n側InGaAsP光ガイド層
- 4 活性層
- 4a、4b 歪多重量子井戸活性層
- 4c InGaAsP活性層
- 5a p側InAlGaAs光ガイド層
- 5b p側InGaAsP光ガイド層
- 6 第2導電型第1クラッド層
- 6a、56a、206 p型InP第1クラッド層
- 7 保護層
- 7a p型InP保護層
- 8 電流ブロック層
- 8a p型InP電流ブロック層
- 8b n型InP電流ブロック層
- 9 第2導電型第2クラッド層
- 9a p型InP第2クラッド層
- 10 第2導電型コンタクト層
- 10a p型InGaAsコンタクト層
- 10b p型InGaAsPコンタクト層
- 10c InGaAsPキャップ層
- 11 p側電極
- 12 n側電極
- 13、213 誘電体マスク
- 13a、213a 酸化シリコンマスク
- 14 酸化シリコン膜
- 15 レジスト
- 200 Zn拡散領域

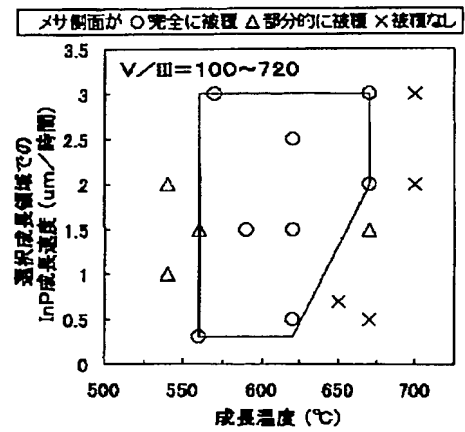
【図3】



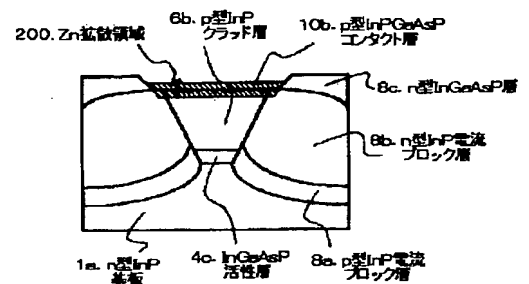
【図 2】



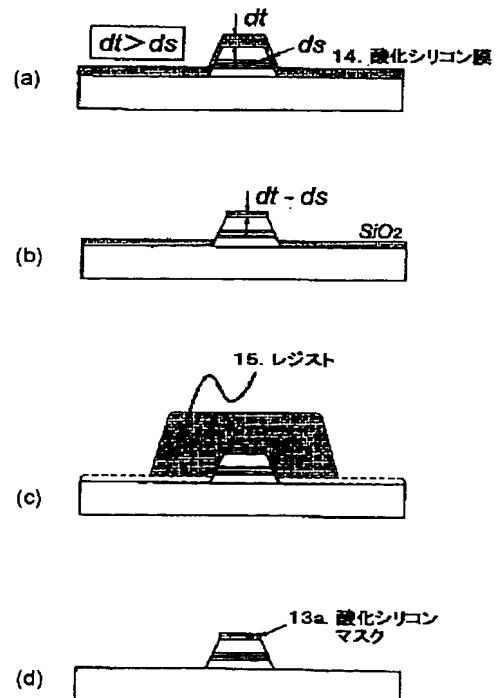
【図 7】



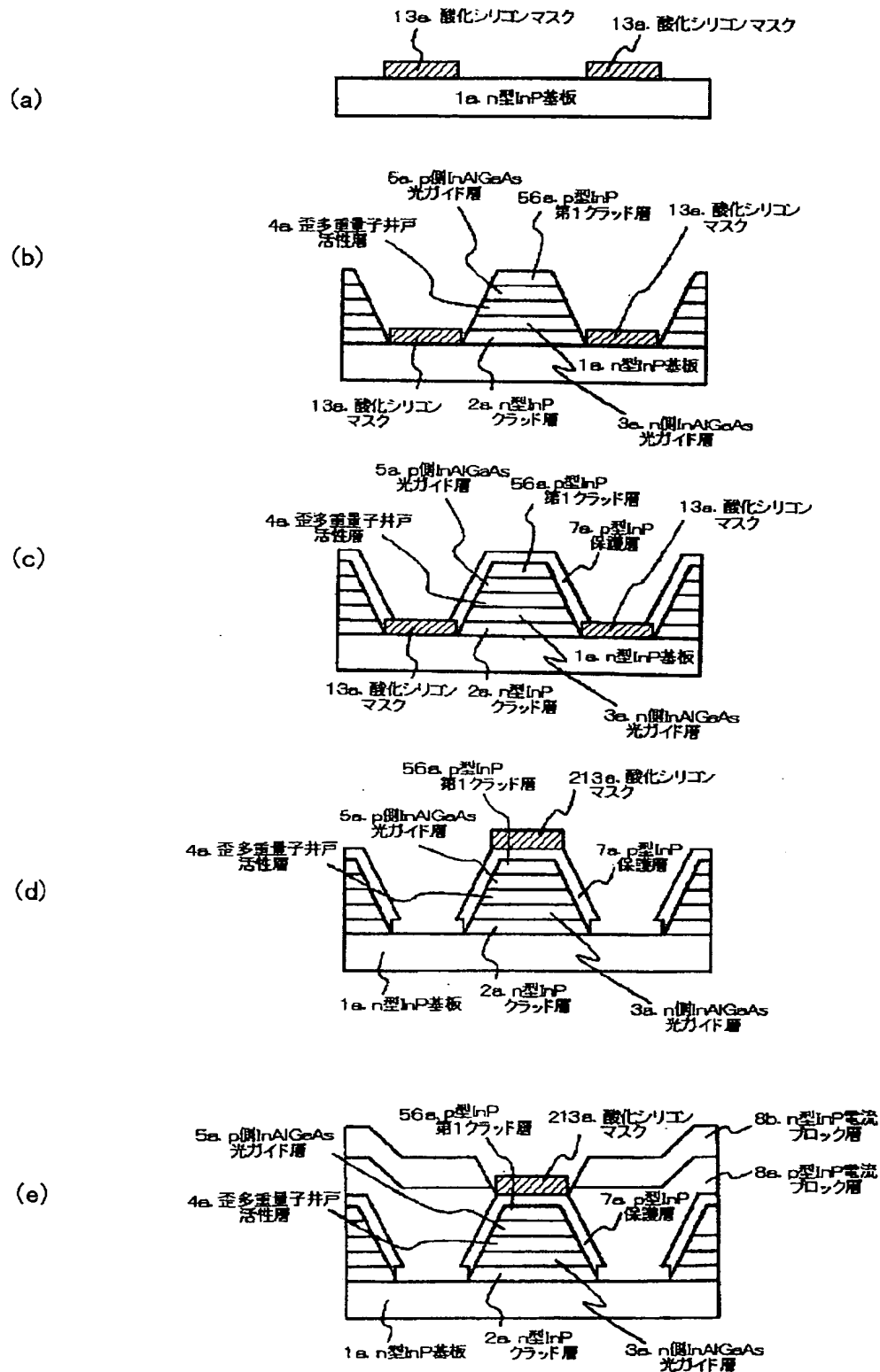
【図 14】



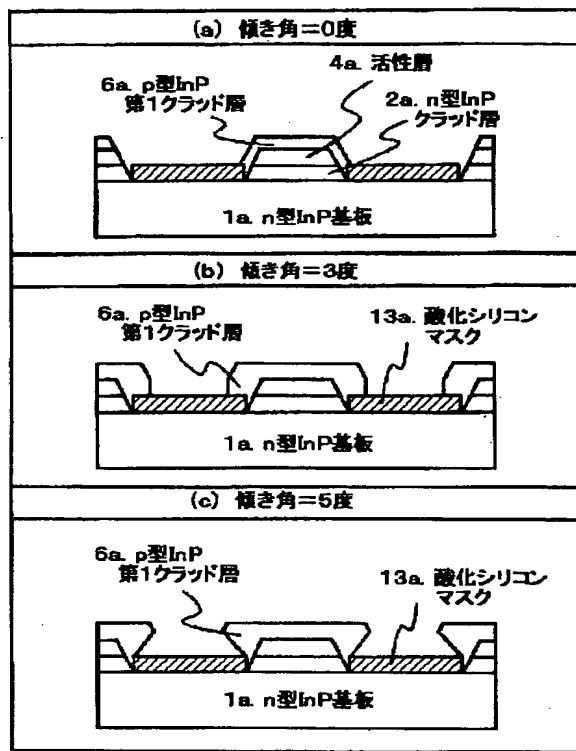
【図 18】



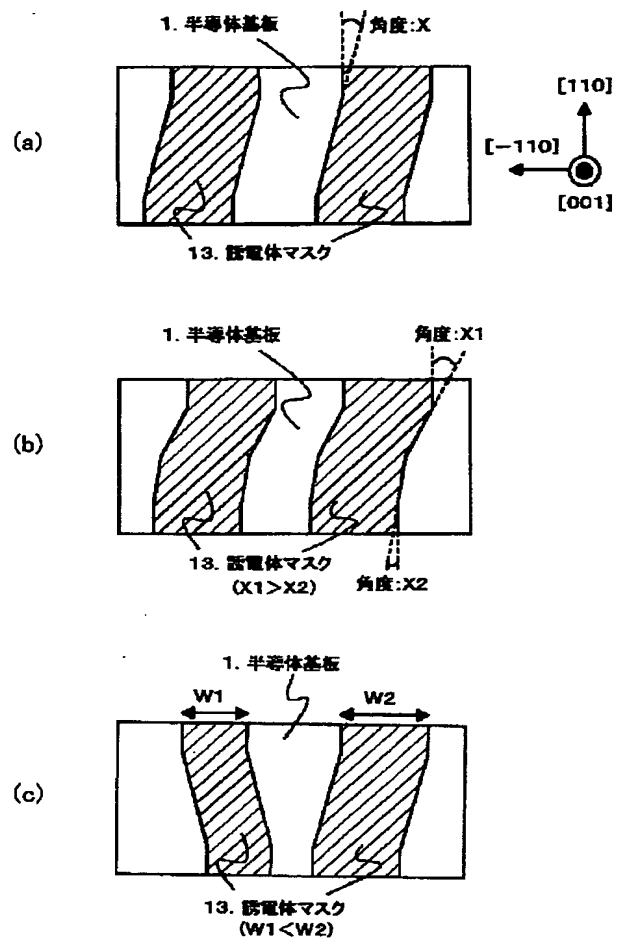
【図4】



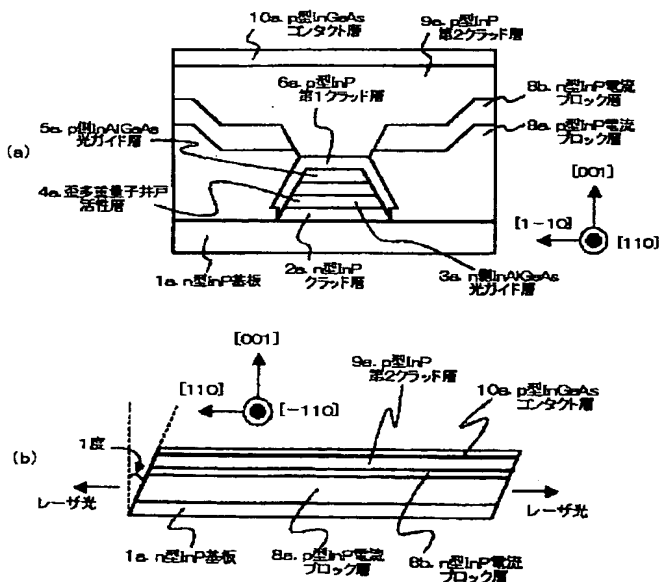
【図10】



【図11】

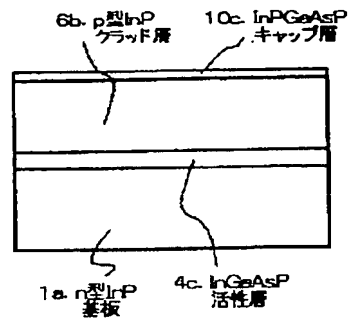


【図13】

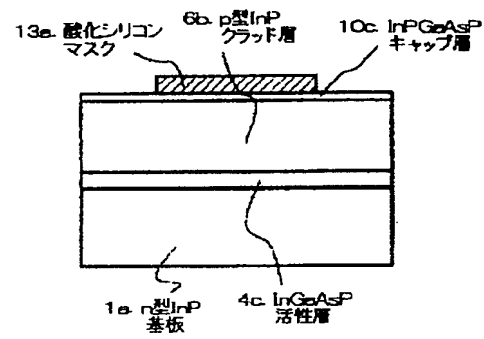


【図 15】

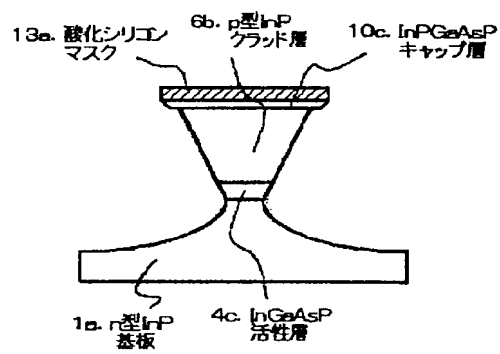
(a)



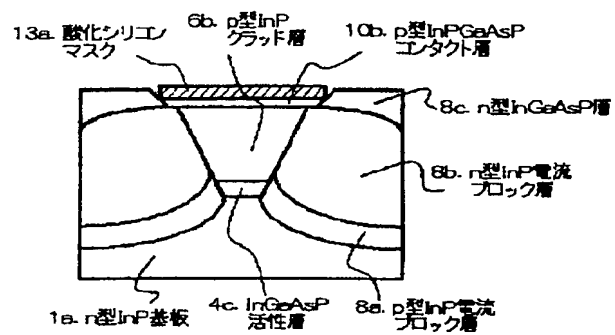
(b)



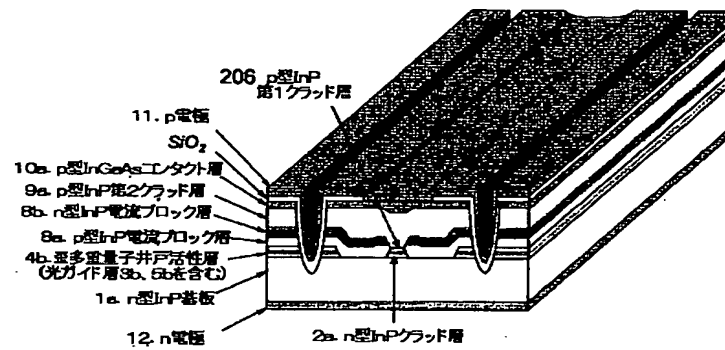
(c)



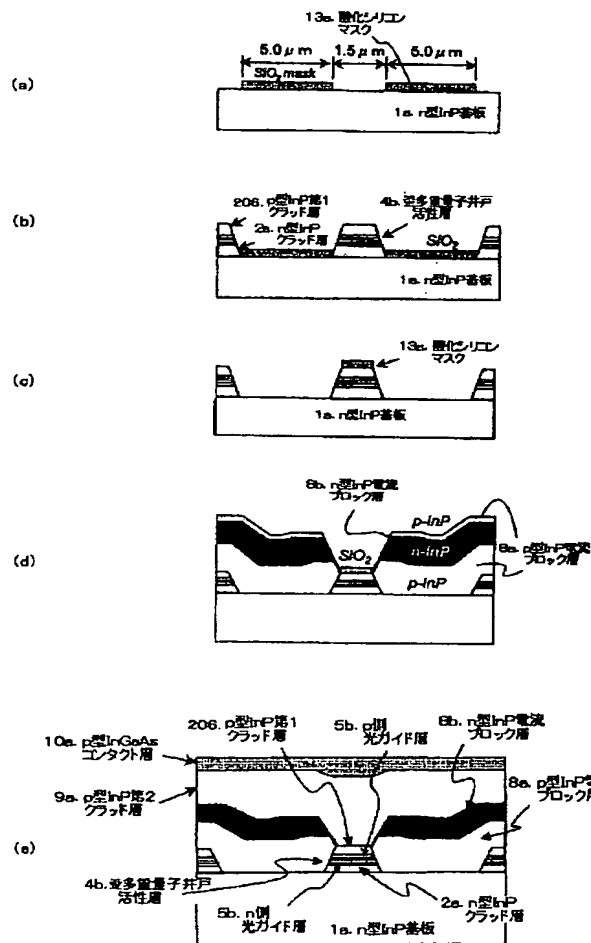
(d)



【図16】



【図17】



THIS PAGE BLANK (USPTO)

